



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002099336 A**

(43) Date of publication of application: 05.04.02

(51) Int. Cl

G05F 3/24

(21) Application number: 2000286617

(71) Applicant: **NEC MICROSYSTEMS LTD**

(22) Date of filing: 21.09.00

(72) Inventor: HAYASHIMOTO HAJIME

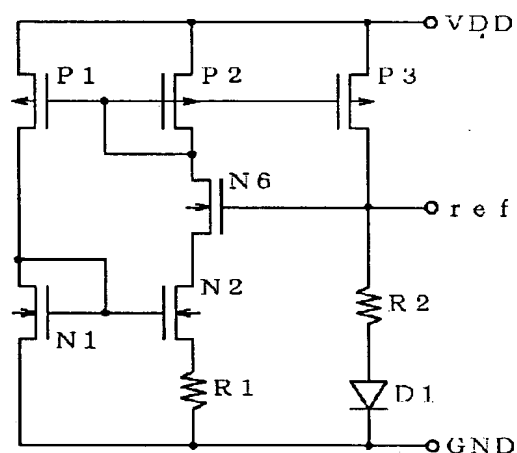
(54) BAND GAP REFERENCE CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a band gap reference circuit, which is composed of only an enhancement type MOS transistor, capable of obtaining a reference voltage V_{ref} of a little power supply voltage dependency and obtaining a satisfactory lowest operating power supply voltage.

SOLUTION: This circuit is composed of P-type MOS transistors P1-P3, N-type MOS transistors N1, N2 and N6, a diode D1 and resistors R1 and R2, and the fixed reference voltage Vref is obtained from given high potential side power source VDD and low potential side power source GND at an output terminal ref.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-99336
(P2002-99336A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl.⁷

G 0 5 F 3/24

識別記号

F I

G 0 5 F 3/24

テーマコード(参考)

Z 5 H 4 2 0

審査請求 有 請求項の数7 O L (全 13 頁)

(21) 出願番号 特願2000-286617(P2000-286617)

(22) 出願日 平成12年9月21日(2000.9.21)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 林本 肇

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

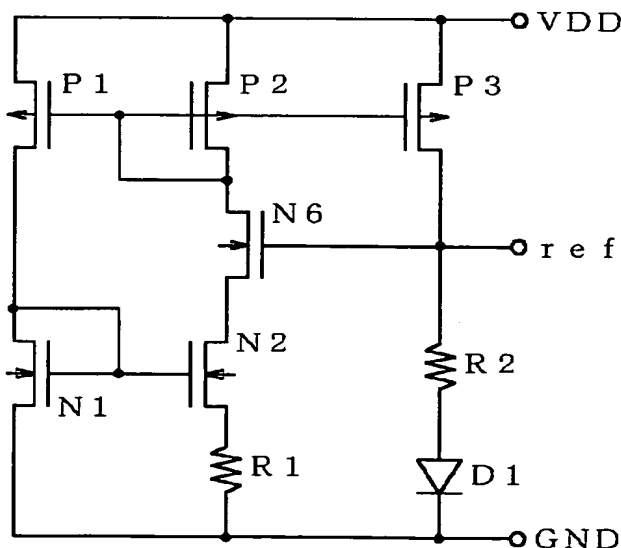
Fターム(参考) 5H420 NB02 NB12 NB22 NB23 NB25
NB36

(54) 【発明の名称】 バンド・ギャップ・レファレンス回路

(57) 【要約】

【課題】 エンハンスメント型のMOSトランジスタのみで構成され、電源電圧依存性の少ない基準電圧 V_{ref} が得られ、良好な最低動作電源電圧が得られるバンド・ギャップ・レファレンス回路を提供すること。

【解決手段】 P型MOSトランジスタ $P1 \sim P3$ と、N型MOSトランジスタ $N1$ 、 $N2$ 及び $N6$ と、ダイオード $D1$ と、抵抗素子 $R1$ 及び $R2$ と、から構成され、与えられた高電位側電源 VDD 及び低電位側電源 GND から一定の基準電圧 V_{ref} を出力端子 ref に得る。



【請求項 1】 与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第 1 導電型の第 1 の電界効果トランジスタと、ドレイン及びゲートが前記第 1 導電型の第 1 の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第 2 導電型の第 1 の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第 1 導電型の第 1 の電界効果トランジスタのゲートに接続される第 1 導電型の第 2 の電界効果トランジスタと、ドレインが前記第 1 導電型の第 2 の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第 2 導電型の第 6 の電界効果トランジスタと、ドレインが前記第 2 導電型の第 6 の電界効果トランジスタのソースに接続されゲートが前記第 2 導電型の第 1 の電界効果トランジスタのゲートに接続される第 2 導電型の第 2 の電界効果トランジスタと、一端が前記第 2 導電型の第 2 の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される第 1 の抵抗素子と、ソースが前記高電位側電源に接続されゲートが前記第 1 導電型の第 2 の電界効果トランジスタのゲートに接続されドレインが前記出力端子に接続される第 1 導電型の第 3 の電界効果トランジスタと、一端が前記第 1 導電型の第 3 の電界効果トランジスタのドレインに接続される第 2 の抵抗素子と、アノードが前記第 2 の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第 1 のダイオードと、を備えることを特徴とするバンド・ギャップ・レファレンス回路。

ジスタのゲートに接続される第1導電型の第3の電界効果トランジスタと、ソースが前記第1導電型の第3の電界効果トランジスタのドレインに接続されドレインが前記出力端子に接続される第1導電型の第5の電界効果トランジスタと、一端が前記第1導電型の第5の電界効果トランジスタのドレインに接続される第2の抵抗素子と、アノードが前記第2の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第1のダイオードと、ソースが前記高電位側電源に接続される第1導電型の第4の電界効果トランジスタと、ソースが前記第1導電型の第4の電界効果トランジスタのドレインに接続されドレイン及びゲートが前記第1導電型の第5の電界効果トランジスタのゲートに接続される第1導電型の第6の電界効果トランジスタと、ドレインが前記第1導電型の第6の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第3の電界効果トランジスタと、を備えることを特徴とするバンド・ギャップ・レファレンス回路。

【請求項４】 前記第１導電型の第６の電界効果トランジスタのドレイン及びゲートと前記第２導電型の第３の電界効果トランジスタのドレインとの直接接続に代えて、ソースが前記第２導電型の第３の電界効果トランジスタのドレインに接続されドレインが前記第１導電型の第６の電界効果トランジスタのドレイン及びゲートに接続されゲートが前記出力端子に接続される第２導電型の第７の電界効果トランジスタを備えることを特徴とする請求項３記載のバンド・ギャップ・レファレンス回路。

【請求項５】 与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第１導電型の第１の電界効果トランジスタと、ソースが前記第１導電型の第１の電界効果トランジスタのドレインに接続される第１導電型の第８の電界効果トランジスタと、ドレイン及びゲートが前記第１導電型の第８の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第２導電型の第１の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第１導電型

の第1の電界効果トランジスタのゲートに接続される第1導電型の第2の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第6の電界効果トランジスタと、ドレインが前記第2導電型の第6の電界効果トランジスタのソースに接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第2の電界効果トランジスタと、一端が前記第2導電型の第2の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される第1の抵抗素子と、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続される第1導電型の第3の電界効果トランジスタと、ソースが前記第1導電型の第3の電界効果トランジスタのドレインに接続されドレインが前記出力端子に接続される第1導電型の第9の電界効果トランジスタと、一端が前記第1導電型の第9の電界効果トランジスタのドレインに接続される第2の抵抗素子と、アノードが前記第2の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第1のダイオードと、前記高電位側電源及び前記低電位側電源投入時に前記第1導電型の第2の電界効果トランジスタのゲートをプルダウンする起動部と、を備えることを特徴とするバンド・ギャップ・レファレンス回路。

【請求項6】 前記起動部は、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続される第1導電型の第10の電界効果トランジスタと、ソースが前記第1導電型の第10の電界効果トランジスタのドレインに接続されドレイン及びゲートが前記第1導電型の第8及び第9の電界効果トランジスタのゲートに接続される第1導電型の第11の電界効果トランジスタと、ドレイン及びゲートが前記第1導電型の第11の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第2導電型の第8の電界効果トランジスタと、一端が前記高電位側電源に接続される第3の抵抗素子と、ドレインが前記第3の抵抗素子の他端に接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第8の電界効果トランジスタのゲートに接続される第2導電型の第9の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのゲートに接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第9の電界効果トランジスタのドレインに接続される第2導電型の第10の電界効果トランジスタと、を備えることを特徴とする請求項5記載のバンド・ギャップ・レファレンス回路。

【請求項7】 与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第1導電型の第12の電界効果トラン

ジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第1導電型の第12の電界効果トランジスタのゲートに接続される第1導電型の第13の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレインが前記出力端子に接続されゲートが前記第1導電型の第12の電界効果トランジスタのドレインに接続される第1導電型の第14の電界効果トランジスタと、ドレインが前記第1導電型の第12の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第13の電界効果トランジスタと、ドレインが前記第1導電型の第13の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第14の電界効果トランジスタと、一端が前記出力端子に接続される第4の抵抗素子と、アノードが前記第4の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第2のダイオードと、一端が前記出力端子に接続され他端が節点に接続される第5の抵抗素子と、一端が前記節点に接続される第6の抵抗素子と、アノードが前記第6の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第3のダイオードと、ドレインが前記第2導電型の第13の電界効果トランジスタのソースに接続されゲートが前記第2のダイオードのアノードに接続される第2導電型の第11の電界効果トランジスタと、ドレインが前記第2導電型の第14の電界効果トランジスタのソースに接続されゲートが前記節点に接続される第2導電型の第12の電界効果トランジスタと、一端が前記第2導電型の第11及び第12の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される定電流源と、を備えることを特徴とするバンド・ギャップ・レファレンス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バンド・ギャップ・レファレンス回路に関し、特にCMOS型半導体装置に搭載される電源電圧依存性の少ないバンド・ギャップ・レファレンス回路に関する。

【0002】

【従来の技術】 従来、第1の従来例のバンド・ギャップ・レファレンス回路として、図7に示す特許第2994293号公報に開示されたバンド・ギャップ・レファレンス回路が知られている。図7に示す第1の従来例のバンド・ギャップ・レファレンス回路は、与えられた高電位側電源VDD及び低電位側電源GNDから一定の基準電圧Vrefを出力端子refに得るバンド・ギャップ・レファレンス回路であって、ソースが高電位側電源VDDに接続されるPチャネル型電界効果トランジスタ（以下、P型MOSトランジスタと称す）P1と、ドレイン及びゲートがP型MOSトランジスタP1のドレインに接続されソースが低電位側電源GNDに接続される

Nチャネル型電界効果トランジスタ（以下、N型MOSトランジスタと称す）N1と、ソースが高電位側電源VDDに接続されドレイン及びゲートがP型MOSトランジスタP1のゲートに接続されるP型MOSトランジスタP2と、ドレインがP型MOSトランジスタP2のドレインに接続されゲートがN型MOSトランジスタN1のゲートに接続されるN型MOSトランジスタN2と、一端がN型MOSトランジスタN2のソースに接続され他端が低電位側電源GNDに接続される抵抗素子R1と、ソースが高電位側電源VDDに接続されゲートがP型MOSトランジスタP2のゲートに接続されドレインが基準電圧の出力端子refに接続されるP型MOSトランジスタP3と、一端がP型MOSトランジスタP3

$$V_{ref} = N \times (k \times T \div q) \times \ln M + V_F(D1) \cdots (式1)$$

しかし、図7に示す第1の従来例のバンド・ギャップ・レファレンス回路は、高電位側電源VDDと低電位側電源GND間の電圧が変動すると基準電圧Vrefも変化してしまうという問題があり、その理由は、例えば高電位側電源VDDと低電位側電源GND間の電圧が大きくなると、P型MOSトランジスタP1のドレイン・ソース間電圧が大きくなりアーリ効果によりN型MOSトランジスタN1に流れ込むドレイン電流が増加する。その結果、N型MOSトランジスタN1とともにミラーを構成するN型MOSトランジスタN2のドレイン電流がそれ自身のアーリ効果による電流と合わせて増加しP型MOSトランジスタP2のドレイン電流も増加する。したがってP型MOSトランジスタP2とともにミラーを構

$$\Delta V_{ref} = \Delta i_d \times R2 + (k \times T \div q) \times \ln((\Delta i_d + I_{DS}(P3)) \div I_{DS}(P3)) \cdots (式3)$$

この電源電圧依存性を無くした第2の従来例のバンド・ギャップ・レファレンス回路として、図8に示す同じく特許第2994293号公報に開示されたバンド・ギャップ・レファレンス回路が知られている。図8に示す第2の従来例のバンド・ギャップ・レファレンス回路は、与えられた高電位側電源VDD及び低電位側電源GNDから一定の基準電圧Vrefを出力端子refに得るバンド・ギャップ・レファレンス回路であって、ソースが高電位側電源VDDに接続されるP型MOSトランジスタP1と、ソースがP型MOSトランジスタP1のドレインに接続されるP型MOSトランジスタP7と、ドレイン及びゲートがP型MOSトランジスタP7のドレインに接続されソースが低電位側電源GNDに接続されるN型MOSトランジスタN1と、ソースが高電位側電源VDDに接続されドレイン及びゲートがP型MOSトランジスタP1のゲートに接続されるP型MOSトランジスタP2と、ドレインがP型MOSトランジスタP2のドレインに接続されゲートがN型MOSトランジスタN1のゲートに接続されるデプリーション型のN型MOSトランジスタN4と、ドレインがN型MOSトランジスタN4のソースに接続されゲートがN型MOSトランジ

スタN1のゲートに接続されるN型MOSトランジスタN2と、一端がN型MOSトランジスタN2のソースに接続され他端が低電位側電源GNDに接続される抵抗素子R1と、ソースが高電位側電源VDDに接続されゲートがP型MOSトランジスタP2のゲートに接続されるP型MOSトランジスタP3と、ソースがP型MOSトランジスタP3のドレインに接続されドレインが出力端子refに接続されるP型MOSトランジスタP5と、一端がP型MOSトランジスタP5のドレインに接続される抵抗素子R2と、アノードが抵抗素子R2の他端に接続されカソードが低電位側電源GNDに接続されるダイオードD1と、ソースが高電位側電源VDDに接続されゲートがドレインに接続されるP型MOSトランジスタP4と、ソースがP型MOSトランジスタP4のドレインに接続されドレイン及びゲートがP型MOSトランジスタP5及びP7のゲートに接続されるP型MOSトランジスタP6と、ドレインがP型MOSトランジスタP6のドレインに接続されゲートがN型MOSトランジスタN1のゲートに接続されるデプリーション型のN型MOSトランジスタN5と、ドレインがN型MOSトランジスタN5のソースに接続されソースが低電位側電源

のドレインに接続される抵抗素子R2と、アノードが抵抗素子R2の他端に接続されカソードが低電位側電源GNDに接続されるダイオードD1と、を備えている。上述の構成により、P型MOSトランジスタP1、P2及びP3のゲート長及びゲート幅をそれぞれ同一サイズとし、かつN型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM（以下、Mは0以外の自然数とする）倍と設定すれば、出力端子refからは、Nを（R2の抵抗値）÷（R1の抵抗値）、qを電子の電荷量、kをボルツマン定数、Tを絶対温度、VF（D1）をダイオードD1の順方向電圧として、式1で表される基準電圧Vrefが得られる。

成するP型MOSトランジスタP3のドレイン電流も増加する。この電流増加分を $\Delta i_d(1)$ とし、さらに、P型MOSトランジスタP3自身のアーリ効果でもドレイン電流が増加するので、この電流増加分を $\Delta i_d(2)$ とすると、P型MOSトランジスタP3のドレイン電流の電流増加分 Δi_d は式2で表される。

$$\Delta i_d = \Delta i_d(1) + \Delta i_d(2) \cdots (式2)$$

この電流増加分 Δi_d が抵抗素子R2及びダイオードD1に流れ込むことにより基準電圧Vrefに変動が生じ、この変動分を ΔV_{ref} とし、P型MOSトランジスタP3の電源電圧依存を受ける前のドレイン電流を $I_{DS}(P3)$ とすると、 ΔV_{ref} は式3で表される。

スタN1のゲートに接続されるN型MOSトランジスタN2と、一端がN型MOSトランジスタN2のソースに接続され他端が低電位側電源GNDに接続される抵抗素子R1と、ソースが高電位側電源VDDに接続されゲートがP型MOSトランジスタP2のゲートに接続されるP型MOSトランジスタP3と、ソースがP型MOSトランジスタP3のドレインに接続されドレインが出力端子refに接続されるP型MOSトランジスタP5と、一端がP型MOSトランジスタP5のドレインに接続される抵抗素子R2と、アノードが抵抗素子R2の他端に接続されカソードが低電位側電源GNDに接続されるダイオードD1と、ソースが高電位側電源VDDに接続されゲートがドレインに接続されるP型MOSトランジスタP4と、ソースがP型MOSトランジスタP4のドレインに接続されドレイン及びゲートがP型MOSトランジスタP5及びP7のゲートに接続されるP型MOSトランジスタP6と、ドレインがP型MOSトランジスタP6のドレインに接続されゲートがN型MOSトランジスタN1のゲートに接続されるデプリーション型のN型MOSトランジスタN5と、ドレインがN型MOSトランジスタN5のソースに接続されソースが低電位側電源

GNDに接続されゲートがN型MOSトランジスタN1のゲートに接続されるN型MOSトランジスタN3と、を備えている。

【0003】上述の構成により、式1に示す基準電圧 V_{ref} が得られるとともに、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、P型MOSトランジスタP1のドレイン・ソース間電圧はP型MOSトランジスタP7のソース電位で抑えられ、P型MOSトランジスタP3のドレイン・ソース間電圧はP型MOSトランジスタP5のソース電位で抑えられるので、各ドレイン・ソース間電圧は変動せず、また同様に、N型MOSトランジスタN2のドレイン・ソース間電圧はN型MOSトランジスタN4のソース電位で抑えられ、N型MOSトランジスタN3のドレイン・ソース間電圧はN型MOSトランジスタN5のソース電位で抑えられるので、各ドレイン・ソース間電圧は変動しない。したがって、アーリ効果の影響を受けることなく、式2において $\Delta i_d(1) = 0$ 、 Δi_d

(2) = 0 となって、式3において $\Delta V_{ref} = 0$ となり、電源依存性の無い基準電圧 V_{ref} が得られる。また、P型MOSトランジスタP4及びP6とN型MOSトランジスタN3及びN5とにより構成されるバイアス段を設けてP型MOSトランジスタP6のゲート電位によりP型MOSトランジスタP5及びP7のゲート電位をバイアスし、閾値電圧 V_T が0V以下であるデプリーション型のN型MOSトランジスタN4及びN5を使用することにより、図7に示す第1の従来例のバンド・ギャップ・レファレンス回路と同等の最低動作電源電圧（高電位側電源VDDと低電位側電源GND間の電圧）が得られる。

【0004】

【発明が解決しようとする課題】しかし、上述した第2の従来例のバンド・ギャップ・レファレンス回路においては、最低動作電源電圧を確保するためにデプリーション型であるN型MOSトランジスタN4及びN5を使用せざるを得ない。デプリーション型のN型MOSトランジスタは、一例として濃度が $1.0 \times 10^{14} \sim 1.0 \times 10^{15} \text{ cm}^{-3}$ のP型基板上に直接N型MOSトランジスタを形成すれば追加プロセス無しに実現することはできるが、例えばプロセスを簡略化してマスク数を削減した安価なDRAMプロセスなどでは、先ず基板全面に濃度が $1.0 \times 10^{17} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ のPウェルを形成するため、追加プロセス無しにデプリーション型のN型MOSトランジスタを形成することはできないという問題がある。

【0005】また、たとえプロセスを追加せずにデプリーション型のN型MOSトランジスタを実現できたとしても、デプリーション型MOSトランジスタは高温でのリーク電流が多いためゲート長 L を長く ($L > 10 \mu\text{m}$) しなければならず、さらにドレイン電流 I_{DS} を流す ($I_{DS} > 1 \mu\text{A}$) 必要もあるため、電池駆動時計

などの低消費電流かつ小チップサイズを要求される製品に対して、デプリーション型MOSトランジスタを含むバンド・ギャップ・レファレンス回路を適用することはできないという問題がある。

【0006】本発明は、かかる問題点に鑑みてなされたものであって、エンハンスメント型のMOSトランジスタのみで構成され、電源電圧依存性の少ない基準電圧 V_{ref} が得られ、良好な最低動作電源電圧が得られるバンド・ギャップ・レファレンス回路を提供することにある。

【0007】

【課題を解決するための手段】本発明のバンド・ギャップ・レファレンス回路は、与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第1導電型の第1の電界効果トランジスタと、ドレイン及びゲートが前記第1導電型の第1の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第2導電型の第1の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第1導電型の第1の電界効果トランジスタのゲートに接続される第1導電型の第2の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第6の電界効果トランジスタと、ドレインが前記第2導電型の第6の電界効果トランジスタのソースに接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第2の電界効果トランジスタと、一端が前記第2導電型の第2の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される第1の抵抗素子と、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続されドレインが前記出力端子に接続される第1導電型の第3の電界効果トランジスタと、一端が前記第1導電型の第3の電界効果トランジスタのドレインに接続される第2の抵抗素子と、アノードが前記第2の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第1のダイオードと、を備えることを特徴とする。

【0008】また、与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第1導電型の第1の電界効果トランジスタと、ドレイン及びゲートが前記第1導電型の第1の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第2導電型の第1の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第1導電型の第1の電界効果トランジスタのゲートに接続される第1導電型の

第2の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第6の電界効果トランジスタと、ドレインが前記第2導電型の第6の電界効果トランジスタのソースに接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第2の電界効果トランジスタと、一端が前記第2導電型の第2の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される第1の抵抗素子と、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続される第1導電型の第3の電界効果トランジスタと、ソースが前記第1導電型の第3の電界効果トランジスタのドレインに接続されドレインが前記出力端子に接続される第1導電型の第5の電界効果トランジスタと、一端が前記第1導電型の第5の電界効果トランジスタのドレインに接続される第2の抵抗素子と、アノードが前記第2の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第1のダイオードと、ソースが前記高電位側電源に接続される第1導電型の第4の電界効果トランジスタと、ソースが前記第1導電型の第4の電界効果トランジスタのドレインに接続されドレイン及びゲートが前記第1導電型の第5の電界効果トランジスタのゲートに接続される第1導電型の第6の電界効果トランジスタと、ドレインが前記第1導電型の第6の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第3の電界効果トランジスタと、を備えることを特徴とする。

【0009】また、前記第1導電型の第1の電界効果トランジスタのドレインと前記第2導電型の第1の電界効果トランジスタのドレイン及びゲートとの直接接続に代えて、ソースが前記第1導電型の第1の電界効果トランジスタのドレインに接続されドレインが前記第2導電型の第1の電界効果トランジスタのドレイン及びゲートに接続されゲートが前記第1導電型の第6の電界効果トランジスタのゲートに接続される第1導電型の第7の電界効果トランジスタを備えることを特徴とする。

【0010】また、前記第1導電型の第6の電界効果トランジスタのドレイン及びゲートと前記第2導電型の第3の電界効果トランジスタのドレインとの直接接続に代えて、ソースが前記第2導電型の第3の電界効果トランジスタのドレインに接続されドレインが前記第1導電型の第6の電界効果トランジスタのドレイン及びゲートに接続されゲートが前記出力端子に接続される第2導電型の第7の電界効果トランジスタを備えることを特徴とする。

【0011】また、与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギ

ャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第1導電型の第1の電界効果トランジスタと、ソースが前記第1導電型の第1の電界効果トランジスタのドレインに接続される第1導電型の第8の電界効果トランジスタと、ドレイン及びゲートが前記第1導電型の第8の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第2導電型の第1の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第1導電型の第1の電界効果トランジスタのゲートに接続される第1導電型の第2の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第6の電界効果トランジスタと、ドレインが前記第2導電型の第6の電界効果トランジスタのソースに接続されゲートが前記第2導電型の第1の電界効果トランジスタのゲートに接続される第2導電型の第2の電界効果トランジスタと、一端が前記第2導電型の第2の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される第1の抵抗素子と、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続される第1導電型の第3の電界効果トランジスタと、ソースが前記第1導電型の第3の電界効果トランジスタのドレインに接続されドレインが前記出力端子に接続される第1導電型の第9の電界効果トランジスタと、一端が前記第1導電型の第9の電界効果トランジスタのドレインに接続される第2の抵抗素子と、アノードが前記第2の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第1のダイオードと、前記高電位側電源及び前記低電位側電源投入時に前記第1導電型の第2の電界効果トランジスタのゲートをプルダウンする起動部と、を備えることを特徴とする。

【0012】また、前記起動部は、ソースが前記高電位側電源に接続されゲートが前記第1導電型の第2の電界効果トランジスタのゲートに接続される第1導電型の第10の電界効果トランジスタと、ソースが前記第1導電型の第10の電界効果トランジスタのドレインに接続されドレイン及びゲートが前記第1導電型の第8及び第9の電界効果トランジスタのゲートに接続される第1導電型の第11の電界効果トランジスタと、ドレイン及びゲートが前記第1導電型の第11の電界効果トランジスタのドレインに接続されソースが前記低電位側電源に接続される第2導電型の第8の電界効果トランジスタと、一端が前記高電位側電源に接続される第3の抵抗素子と、ドレインが前記第3の抵抗素子の他端に接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第8の電界効果トランジスタのゲートに接続される第2導電型の第9の電界効果トランジスタと、ドレインが前記第1導電型の第2の電界効果トランジスタのゲート

に接続されソースが前記低電位側電源に接続されゲートが前記第2導電型の第9の電界効果トランジスタのドレインに接続される第2導電型の第10の電界効果トランジスタと、を備えることを特徴とする。

【0013】また、与えられた高電位側電源及び低電位側電源から一定の基準電圧を出力端子に得るバンド・ギャップ・レファレンス回路であって、ソースが前記高電位側電源に接続される第1導電型の第12の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレイン及びゲートが前記第1導電型の第12の電界効果トランジスタのゲートに接続される第1導電型の第13の電界効果トランジスタと、ソースが前記高電位側電源に接続されドレインが前記出力端子に接続されゲートが前記第1導電型の第12の電界効果トランジスタのドレインに接続される第1導電型の第14の電界効果トランジスタと、ドレインが前記第1導電型の第12の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第13の電界効果トランジスタと、ドレインが前記第1導電型の第13の電界効果トランジスタのドレインに接続されゲートが前記出力端子に接続される第2導電型の第14の電界効果トランジスタと、一端が前記出力端子に接続される第4の抵抗素子と、アノードが前記第4の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第2のダイオードと、一端が前記出力端子に接続され他端が節点に接続される第5の抵抗素子と、一端が前記節点に接続される第6の抵抗素子と、アノードが前記第6の抵抗素子の他端に接続されカソードが前記低電位側電源に接続される第3のダイオードと、ドレインが前記第2導電型の第13の電界効果トランジスタのソースに接続されゲートが前記第2のダイオードのアノードに接続される第2導電型の第11の電界効果トランジスタと、ドレインが前記第2導電型の第14の電界効果トランジスタのソースに接続されゲートが前記節点に接続される第2導電型の第12の電界効果トランジスタと、一端が前記第2導電型の第11及び第12の電界効果トランジスタのソースに接続され他端が前記低電位側電源に接続される定電流源と、を備えることを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して説明する。図1は、本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。図1に示すように、本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路は、P型MOSトランジスタP1～P3と、N型MOSトランジスタN1、N2及びN6と、ダイオードD1と、抵抗素子R1及びR2と、から構成され、与えられた高電位側電源VDD及び低電位側電源GNDから一定の基準電圧Vrefを出力端子refに得る。

【0015】P型MOSトランジスタP1のソースは高

電位側電源VDDに接続される。N型MOSトランジスタN1のドレイン及びゲートはP型MOSトランジスタP1のドレインに接続され、N型MOSトランジスタN1のソースは低電位側電源GNDに接続される。

【0016】P型MOSトランジスタP2のソースは高電位側電源VDDに接続され、P型MOSトランジスタP2のドレイン及びゲートはP型MOSトランジスタP1のゲートに接続される。N型MOSトランジスタN6のドレインはP型MOSトランジスタP2のドレインに接続され、N型MOSトランジスタN6のゲートは出力端子refに接続される。

【0017】N型MOSトランジスタN2のドレインはN型MOSトランジスタN6のソースに接続され、N型MOSトランジスタN2のゲートはN型MOSトランジスタN1のゲートに接続される。抵抗素子R1の一端はN型MOSトランジスタN2のソースに接続され、抵抗素子R1の他端は低電位側電源GNDに接続される。

【0018】P型MOSトランジスタP3のソースは高電位側電源VDDに接続され、P型MOSトランジスタP3のゲートはP型MOSトランジスタP2のゲートに接続され、P型MOSトランジスタP3のドレインは出力端子refに接続される。抵抗素子R2の一端はP型MOSトランジスタP3のドレインに接続され、ダイオードD1のアノードは抵抗素子R2の他端に接続され、ダイオードD1のカソードは低電位側電源GNDに接続される。

【0019】また上記の構成において、例えば、P型MOSトランジスタP1、P2及びP3のゲート長及びゲート幅をそれぞれ同一サイズとし、N型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM倍とし、N型MOSトランジスタN1及びN6のゲート長及びゲート幅を同一サイズとしている。

【0020】次に動作を説明する。上記の構成により、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、N型MOSトランジスタN2のドレイン電位が、基準電圧VrefからN型MOSトランジスタN6のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN2のドレイン・ソース間電圧変動が抑えられるため、式2の Δi_d (1)が減少して式3の ΔV_{ref} が減少し、アーリー効果の影響が低減され、電源電圧依存性の少ない式1に示す基準電圧Vrefが得られる。

【0021】さらに、例えば、基準電圧Vrefを1.25Vとし、デプリーション型のN型MOSトランジスタN4の閾値電圧を0Vとし、エンハンスメント型のN型MOSトランジスタN6の閾値電圧を0.6Vとすれば、本実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位と、図8に示す第2の従来例のバンド・ギャップ・レフ

ァレンス回路におけるN型MOSトランジスタN2のドレイン電位は略同じバイアスになるので、本実施の形態のバンド・ギャップ・レファレンス回路は第2の従来例のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0022】以上説明したように、本構成によれば、エンハンスメント型MOSトランジスタのみで構成され、電源電圧依存性が少なく、最低動作電源電圧も良好なバンド・ギャップ・レファレンス回路を実現できる。

【0023】次に、図2は、本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路は、P型MOSトランジスタP1～P6と、N型MOSトランジスタN1、N2、N3及びN6と、ダイオードD1と、抵抗素子R1及びR2と、から構成され、与えられた高電位側電源VDD及び低電位側電源GNDから一定の基準電圧を出力端子に得る。

【0024】P型MOSトランジスタP1のソースは高電位側電源VDDに接続される。N型MOSトランジスタN1のドレイン及びゲートはP型MOSトランジスタP1のドレインに接続され、N型MOSトランジスタN1のソースは低電位側電源GNDに接続される。

【0025】P型MOSトランジスタP2のソースは高電位側電源VDDに接続され、P型MOSトランジスタP2のドレイン及びゲートはP型MOSトランジスタP1のゲートに接続される。N型MOSトランジスタN6のドレインはP型MOSトランジスタP2のドレインに接続され、N型MOSトランジスタN6のゲートは出力端子refに接続される。

【0026】N型MOSトランジスタN2のドレインはN型MOSトランジスタN6のソースに接続され、N型MOSトランジスタN2のゲートはN型MOSトランジスタN1のゲートに接続される。抵抗素子R1の一端はN型MOSトランジスタN2のソースに接続され、抵抗素子R1の他端は低電位側電源GNDに接続される。

【0027】P型MOSトランジスタP3のソースは高電位側電源VDDに接続され、P型MOSトランジスタP3のゲートはP型MOSトランジスタP2のゲートに接続される。P型MOSトランジスタP5のソースはP型MOSトランジスタP3のドレインに接続され、P型MOSトランジスタP5のドレインは出力端子refに接続される。抵抗素子R2の一端はP型MOSトランジスタP5のドレインに接続される。ダイオードD1のアノードは抵抗素子R2の他端に接続され、ダイオードD1のカソードは低電位側電源GNDに接続される。

【0028】P型MOSトランジスタP4のソースは高電位側電源VDDに接続され、P型MOSトランジスタP4のゲートはP型MOSトランジスタP4のドレインに接続される。P型MOSトランジスタP6のソースはP型MOSトランジスタP4のドレインに接続され、P

型MOSトランジスタP6のドレイン及びゲートはP型MOSトランジスタP5のゲートに接続される。N型MOSトランジスタN3のドレインはP型MOSトランジスタP6のドレインに接続され、N型MOSトランジスタN3のソースは低電位側電源GNDに接続され、N型MOSトランジスタN3のゲートはN型MOSトランジスタN1のゲートに接続される。

【0029】また上記の構成において、例えば、P型MOSトランジスタP1～P6のゲート長及びゲート幅をそれぞれ同一サイズとし、N型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM倍とし、N型MOSトランジスタN1、N3及びN6のゲート長及びゲート幅を同一サイズとしている。

【0030】次に動作を説明する。上記の構成により、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、P型MOSトランジスタP3のドレイン・ソース間電圧VDS(P3)とP型MOSトランジスタP2のゲート・ソース間電圧VGS(P2)とが等しくなり式2の $\Delta i_d(2)$ が0となり、また、N型MOSトランジスタN2のドレイン電位が、基準電圧VrefからN型MOSトランジスタN6のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN2のドレイン・ソース間電圧変動が抑えられるため、式2の $\Delta i_d(1)$ が減少して式3の ΔV_{ref} が減少し、アーリ効果の影響が低減され、電源電圧依存性の少ない式1に示す基準電圧Vrefが得られる。

【0031】さらに、本実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位と、図1に示す本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位とは同じであるので、本実施の形態のバンド・ギャップ・レファレンス回路は図1に示す本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0032】以上説明したように、本実施の形態によれば、エンハンスメント型MOSトランジスタのみで構成され、本発明の第1の実施の形態よりもさらに電源電圧依存性が少なく、最低動作電源電圧も良好なバンド・ギャップ・レファレンス回路を実現できる。

【0033】次に、図3は、本発明の第3の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。本発明の第3の実施の形態のバンド・ギャップ・レファレンス回路と、図2に示す本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路との構成の相違部分は、P型MOSトランジスタP7が追加され、P型MOSトランジスタP1のドレインとN型MOSトランジスタN1のドレイン及びゲートとの直接接続に代え

て、P型MOSトランジスタP7のソースがP型MOSトランジスタP1のドレインに接続され、P型MOSトランジスタP7のドレインがN型MOSトランジスタN1のドレイン及びゲートに接続され、P型MOSトランジスタP7のゲートがP型MOSトランジスタP6のゲートに接続される部分であり、他部分については同じであるので、同一構成部分には同一符号を付してその説明を省略する。

【0034】また上記の構成において、例えば、P型MOSトランジスタP1～P7のゲート長及びゲート幅をそれぞれ同一サイズとし、N型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM倍とし、N型MOSトランジスタN1、N3及びN6のゲート長及びゲート幅を同一サイズとしている。

【0035】次に動作を説明する。上記の構成により、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、P型MOSトランジスタP3のドレイン・ソース間電圧VDS(P3)とP型MOSトランジスタP2のゲート・ソース間電圧VGS(P2)とが等しくなり式2の $\Delta i_d(2)$ が0となり、また、N型MOSトランジスタN2のドレイン電位が、基準電圧VrefからN型MOSトランジスタN6のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN2のドレイン・ソース間電圧変動が抑えられるとともに、P型MOSトランジスタP1のドレイン・ソース間電圧VDS(P1)とP型MOSトランジスタP2のゲート・ソース間電圧VGS(P2)とが等しくなることで式2の $\Delta i_d(1)$ がさらに減少して式3の ΔV_{ref} がさらに減少し、アーリー効果の影響が低減され、電源電圧依存性の少ない式1に示す基準電圧Vrefが得られる。

【0036】さらに、本実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位と、図2に示す本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位とは同じであるので、本実施の形態のバンド・ギャップ・レファレンス回路は図2に示す本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0037】以上説明したように、本実施の形態によれば、エンハンスメント型MOSトランジスタのみで構成され、本発明の第2の実施の形態よりもさらに電源電圧依存性が少なく、最低動作電源電圧も良好なバンド・ギャップ・レファレンス回路を実現できる。

【0038】次に、図4は、本発明の第4の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。本発明の第4の実施の形態のバンド・ギャップ・レファレンス回路と、図3に示す本発明の第3の実施の形

態のバンド・ギャップ・レファレンス回路との構成の相違部分は、N型MOSトランジスタN7が追加され、P型MOSトランジスタP6のドレイン及びゲートとN型MOSトランジスタN3のドレインとの直接接続に代えて、N型MOSトランジスタN7のソースがN型MOSトランジスタN3のドレインに接続され、N型MOSトランジスタN7のドレインがP型MOSトランジスタP6のドレイン及びゲートに接続され、N型MOSトランジスタN7のゲートが出力端子refに接続される部分であり、他部分については同じであるので、同一構成部分には同一符号を付してその説明を省略する。

【0039】また上記の構成において、例えば、P型MOSトランジスタP1～P7のゲート長及びゲート幅をそれぞれ同一サイズとし、N型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM倍とし、N型MOSトランジスタN1、N3、N6及びN7のゲート長及びゲート幅を同一サイズとしている。

【0040】次に動作を説明する。上記の構成により、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、P型MOSトランジスタP3のドレイン・ソース間電圧VDS(P3)とP型MOSトランジスタP2のゲート・ソース間電圧VGS(P2)とが等しくなり式2の $\Delta i_d(2)$ が0となり、また、N型MOSトランジスタN2のドレイン電位が、基準電圧VrefからN型MOSトランジスタN6のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN2のドレイン・ソース間電圧変動が抑えられるとともに、P型MOSトランジスタP1のドレイン・ソース間電圧VDS(P1)とP型MOSトランジスタP2のゲート・ソース間電圧VGS(P2)とが等しくなり、さらにN型MOSトランジスタN3のドレイン電位が、基準電圧VrefからN型MOSトランジスタN7のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN3のドレイン・ソース間電圧変動が抑えられることで式2の $\Delta i_d(1)$ が0となり式3の ΔV_{ref} が0となって、アーリー効果の影響を受けず、電源電圧依存性の無い式1に示す基準電圧Vrefが得られる。

【0041】さらに、本実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位と、図3に示す本発明の第3の実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位とは同じであるので、本実施の形態のバンド・ギャップ・レファレンス回路は図3に示す本発明の第3の実施の形態のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0042】以上説明したように、本実施の形態によれば、エンハンスメント型MOSトランジスタのみで構成

され、本発明の第3の実施の形態よりもさらに電源電圧依存性が無く、最低動作電源電圧も良好なバンド・ギャップ・レファレンス回路を実現できる。

【0043】次に、図5は、本発明の第5の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。図5に示すように、本発明の第5の実施の形態のバンド・ギャップ・レファレンス回路は、P型MOSトランジスタP1～P3、P8及びP9と、N型MOSトランジスタN1、N2及びN6と、ダイオードD1と、抵抗素子R1及びR2と、電源投入時の基準電圧 V_{ref} の起動時間を短縮するための起動部STと、から構成され、起動部STは、P型MOSトランジスタP10及びP11と、N型MOSトランジスタN8～N10と、抵抗素子R3と、から構成され、与えられた高電位側電源VDD及び低電位側電源GNDから一定の基準電圧 V_{ref} を出力端子 ref に得る。

【0044】P型MOSトランジスタP1のソースは高電位側電源VDDに接続される。P型MOSトランジスタP8のソースはP型MOSトランジスタP1のドレインに接続される。N型MOSトランジスタN1のドレイン及びゲートはP型MOSトランジスタP8のドレインに接続され、N型MOSトランジスタN1のソースは低電位側電源GNDに接続される。

【0045】P型MOSトランジスタP2のソースは高電位側電源VDDに接続され、P型MOSトランジスタP2のドレイン及びゲートはP型MOSトランジスタP1のゲートに接続される。N型MOSトランジスタN6のドレインはP型MOSトランジスタP2のドレインに接続され、N型MOSトランジスタN6のゲートは出力端子 ref に接続される。N型MOSトランジスタN2のドレインはN型MOSトランジスタN6のソースに接続され、N型MOSトランジスタN2のゲートはN型MOSトランジスタN1のゲートに接続される。抵抗素子R1の一端はN型MOSトランジスタN2のソースに接続され、抵抗素子R1の他端は低電位側電源GNDに接続される。

【0046】P型MOSトランジスタP3のソースは高電位側電源VDDに接続され、P型MOSトランジスタP3のゲートはP型MOSトランジスタP2のゲートに接続される。P型MOSトランジスタP9のソースはP型MOSトランジスタP3のドレインに接続され、P型MOSトランジスタP9のドレインは出力端子 ref に接続される。抵抗素子R2の一端はP型MOSトランジスタP9のドレインに接続される。ダイオードD1のアノードは抵抗素子R2の他端に接続され、ダイオードD1のカソードは低電位側電源GNDに接続される。

【0047】さらに、起動部STは、高電位側電源VDD及び低電位側電源GND投入時にP型MOSトランジスタP2のゲートをプルダウンする。

【0048】そして、起動部STにおいて、P型MOS

トランジスタP10のソースは高電位側電源VDDに接続され、P型MOSトランジスタP10のゲートはP型MOSトランジスタP2のゲートに接続される。P型MOSトランジスタP11のソースはP型MOSトランジスタP10のドレインに接続され、P型MOSトランジスタP11のドレイン及びゲートはP型MOSトランジスタP8及びP9のゲートに接続される。N型MOSトランジスタN8のドレイン及びゲートはP型MOSトランジスタP11のドレインに接続され、N型MOSトランジスタN8のソースは低電位側電源GNDに接続される。

【0049】抵抗素子R3の一端は高電位側電源VDDに接続される。N型MOSトランジスタN9のドレインは抵抗素子R3の他端に接続され、N型MOSトランジスタN9のソースは低電位側電源GNDに接続され、N型MOSトランジスタN9のゲートはN型MOSトランジスタN8のゲートに接続される。N型MOSトランジスタN10のドレインはP型MOSトランジスタP2のゲートに接続され、N型MOSトランジスタN10のソースは低電位側電源GNDに接続され、N型MOSトランジスタN10のゲートはN型MOSトランジスタN9のドレインに接続される。

【0050】また上記の構成において、例えば、P型MOSトランジスタP1～P3、P8～P11のゲート長及びゲート幅をそれぞれ同一サイズとし、N型MOSトランジスタN1に対しN型MOSトランジスタN2のゲート長を同一サイズとし、ゲート幅をM倍とし、N型MOSトランジスタN1、N6、N8～N10のゲート長及びゲート幅を同一サイズとしている。

【0051】次に動作を説明する。上記の構成により、例えば高電位側電源VDDと低電位側電源GND間の電圧が増大するように変動しても、P型MOSトランジスタP3のドレイン電位が低電位側電源GND電位からのN型MOSトランジスタN8のゲート・ソース間電圧 $V_{GS}(N8)$ とP型MOSトランジスタP9のゲート・ソース間電圧 $V_{GS}(P9)$ との和の電位となることで、P型MOSトランジスタP3のドレイン・ソース間電圧 $V_{DS}(P3)$ が低く抑えられ、式2の Δi_d

(2)が減少し、また、N型MOSトランジスタN2のドレイン電位が、基準電圧 V_{ref} からN型MOSトランジスタN6のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN2のドレイン・ソース間電圧変動が抑えられるとともに、P型MOSトランジスタP1のドレイン電位が低電位側電源GND電位からのN型MOSトランジスタN8のゲート・ソース間電圧 $V_{GS}(N8)$ とP型MOSトランジスタP8のゲート・ソース間電圧 $V_{GS}(P8)$ との和の電位となることで、P型MOSトランジスタP1のドレイン・ソース間電圧 $V_{DS}(P1)$ が低く抑えられ、式2の Δi_d

(1)が減少して式3の ΔV_{ref} が減少し、アーリ効

果の影響が低減され、電源電圧依存性の少ない式 1 に示す基準電圧 V_{ref} が得られる。

【0052】さらに、本実施の形態のバンド・ギャップ・レファレンス回路における N 型 MOS トランジスタ N 2 のドレイン電位と、図 2 に示す本発明の第 2 の実施の形態のバンド・ギャップ・レファレンス回路における N 型 MOS トランジスタ N 2 のドレイン電位とは同じであるので、本実施の形態のバンド・ギャップ・レファレンス回路は図 2 に示す本発明の第 2 の実施の形態のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0053】次に、起動部 ST の動作について説明する。電源投入の瞬間は、カレントミラーを構成する P 型 MOS トランジスタ P 1 ~ P 3 及び P 1 0 のゲート電位は各ゲート・ソース間容量を介して高電位側電源 VDD 電位になっており、同様に、カレントミラーを構成する N 型 MOS トランジスタ N 1 及び N 2 のゲート電位は各ゲート・ソース間容量を介して低電位側電源 GND 電位になっている。

【0054】しかし、電源投入直後には、N 型 MOS トランジスタ N 1 0 のゲートが抵抗素子 R 3 により高電位側電源 VDD 電位にプルアップされるので、N 型 MOS トランジスタ N 1 0 は確実にオンされ、P 型 MOS トランジスタ P 1 ~ P 3 及び P 1 0 のゲート電位がプルダウンされ、P 型 MOS トランジスタ P 1 ~ P 3 及び P 1 0 に各バイアス電流が発生し、バンド・ギャップ・レファレンス回路として強制的に起動され、起動時間が短縮される。

【0055】そして、P 型 MOS トランジスタ P 1 0 にバイアス電流が流れると、P 型 MOS トランジスタ P 1 1 及び N 型 MOS トランジスタ N 8 及び N 9 にもバイアス電流が流れるので、N 型 MOS トランジスタ N 9 のドレイン電位は低電位側電源 GND 電位となり、N 型 MOS トランジスタ N 1 0 はオフ状態に戻る。

【0056】以上説明したように、本実施の形態によれば、エンハンスメント型 MOS トランジスタのみで構成され、本発明の第 2 の実施の形態よりもさらに電源電圧依存性が少なく、最低動作電源電圧も良好であって、しかも電源投入時の起動時間が短縮されたバンド・ギャップ・レファレンス回路を実現できる。

【0057】次に、図 6 は、本発明の第 6 の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。図 6 に示すように、本発明の第 6 の実施の形態のバンド・ギャップ・レファレンス回路は、P 型 MOS トランジスタ P 1 2 ~ P 1 4 と、N 型 MOS トランジスタ N 1 1 ~ N 1 4 と、ダイオード D 2 及び D 3 と、抵抗素子 R 4 ~ R 6 と、定電流源 I 1 と、から構成され、与えられた高電位側電源 VDD 及び低電位側電源 GND から一定の基準電圧 V_{ref} を出力端子 ref に得る。

【0058】N 型 MOS トランジスタ N 1 1 及び N 1 2

は差動増幅段における差動対を構成し、P 型 MOS トランジスタ P 1 2 及び P 1 3 は差動対の能動負荷を構成する。

【0059】P 型 MOS トランジスタ P 1 2 のソースは高電位側電源 VDD に接続される。P 型 MOS トランジスタ P 1 3 のソースは高電位側電源 VDD に接続され、P 型 MOS トランジスタ P 1 3 のドレイン及びゲートは P 型 MOS トランジスタ P 1 2 のゲートに接続される。

【0060】P 型 MOS トランジスタ P 1 4 のソースは高電位側電源 VDD に接続され、P 型 MOS トランジスタ P 1 4 のドレインは出力端子 ref に接続され、P 型 MOS トランジスタ P 1 4 のゲートは P 型 MOS トランジスタ P 1 2 のドレインに接続される。

【0061】N 型 MOS トランジスタ N 1 3 のドレインは P 型 MOS トランジスタ P 1 2 のドレインに接続され、N 型 MOS トランジスタ N 1 3 のゲートは出力端子 ref に接続される。N 型 MOS トランジスタ N 1 4 のドレインは P 型 MOS トランジスタ P 1 3 のドレインに接続され、N 型 MOS トランジスタ N 1 4 のゲートは出力端子 ref に接続される。

【0062】抵抗素子 R 4 の一端は出力端子 ref に接続される。ダイオード D 2 のアノードは抵抗素子 R 4 の他端に接続され、ダイオード D 2 のカソードは低電位側電源 GND に接続される。

【0063】抵抗素子 R 5 の一端は出力端子 ref に接続され、抵抗素子 R 5 の他端は節点 A に接続される。抵抗素子 R 6 の一端は節点 A に接続される。ダイオード D 3 のアノードは抵抗素子 R 6 の他端に接続され、ダイオード D 3 のカソードは低電位側電源 GND に接続される。

【0064】N 型 MOS トランジスタ N 1 1 のドレインは N 型 MOS トランジスタ N 1 3 のソースに接続され、N 型 MOS トランジスタ N 1 1 のゲートはダイオード D 2 のアノードに接続される。N 型 MOS トランジスタ N 1 2 のドレインは N 型 MOS トランジスタ N 1 4 のソースに接続され、N 型 MOS トランジスタ N 1 2 のゲートは節点 A に接続される。

【0065】定電流源 I 1 の一端は N 型 MOS トランジスタ N 1 1 及び N 1 2 のソースに接続され、定電流源 I 1 の他端は低電位側電源 GND に接続される。

【0066】また上記の構成において、例えば、P 型 MOS トランジスタ P 1 2 ~ P 1 4 のゲート長及びゲート幅をそれぞれ同一サイズとし、N 型 MOS トランジスタ N 1 1 ~ N 1 4 のゲート長及びゲート幅を同一サイズとしている。

【0067】次に動作を説明する。上記の構成により、例えば高電位側電源 VDD と低電位側電源 GND 間の電圧が増大するように変動しても、N 型 MOS トランジスタ N 1 1 のドレイン電位が、基準電圧 V_{ref} から N 型 MOS トランジスタ N 1 3 のゲート・ソース間電圧分低

い電位に固定されてN型MOSトランジスタN11のドレイン・ソース間電圧変動が抑えられ、N型MOSトランジスタN12のドレイン電位が、基準電圧VrefからN型MOSトランジスタN14のゲート・ソース間電圧分低い電位に固定されてN型MOSトランジスタN12のドレイン・ソース間電圧変動が抑えられるので、N型MOSトランジスタN11及びN12はアーリ効果の影響を受けず、常にN型MOSトランジスタN11及び

$$V_{ref} = N' \times (k \times T \div q) \times \ln M' + VF(D2) \cdots (式4)$$

さらに、本実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN11及びN12のドレイン電位と、図1に示す本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路におけるN型MOSトランジスタN2のドレイン電位とは同じであるので、本実施の形態のバンド・ギャップ・レファレンス回路は図1に示す本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路と同様の良好な最低動作電源電圧が得られる。

【0069】以上説明したように、本実施の形態によれば、エンハンスメント型MOSトランジスタのみで構成され、電源電圧依存性が無く、最低動作電源電圧も良好なバンド・ギャップ・レファレンス回路を実現できる。

【0070】

【発明の効果】以上説明したように、本発明のバンド・ギャップ・レファレンス回路による第1の効果は、エンハンスメント型のMOSトランジスタのみで構成され、電源電圧依存性の少ない基準電圧Vrefが得られ、良好な最低動作電源電圧が得られるバンド・ギャップ・レファレンス回路を実現できることであり、第2の効果は、さらに起動時間が短縮されたバンド・ギャップ・レファレンス回路を実現できることであり、第3の効果は、デプリーション型のMOSトランジスタを使用しないため、安価なバンド・ギャップ・レファレンス回路を実現できることであり、第4の効果は、デプリーション型のMOSトランジスタを使用しないため、電池駆動式時計などの低消費電流かつ小チップサイズを要求される

N12のゲート電位は互いに等しくなる。

【0068】したがって、抵抗素子R4及びR5の抵抗値を抵抗素子R6の抵抗値のN'倍とし、ダイオードD3をダイオードD2のM'個並列接続したものとすれば、出力端子refからは、qを電子の電荷量、kをボルツマン定数、Tを絶対温度、VF(D2)をダイオードD2の順方向電圧として、電源電圧依存性の無い式4に示す基準電圧Vrefが得られる。

製品に対して適用可能なバンド・ギャップ・レファレンス回路を実現できることである。

【0071】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図2】本発明の第2の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図3】本発明の第3の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図4】本発明の第4の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図5】本発明の第5の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図6】本発明の第6の実施の形態のバンド・ギャップ・レファレンス回路の構成図である。

【図7】第1の従来例のバンド・ギャップ・レファレンス回路の構成図である。

【図8】第2の従来例のバンド・ギャップ・レファレンス回路の構成図である。

【符号の説明】

P1～P14 P型MOSトランジスタ

N1～N14 N型MOSトランジスタ

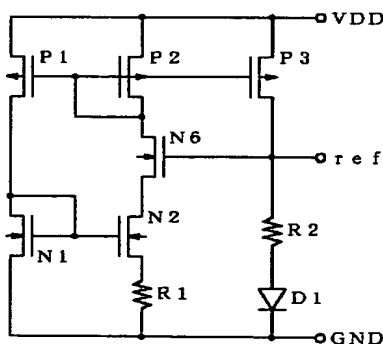
R1～R6 抵抗素子

D1～D3 ダイオード

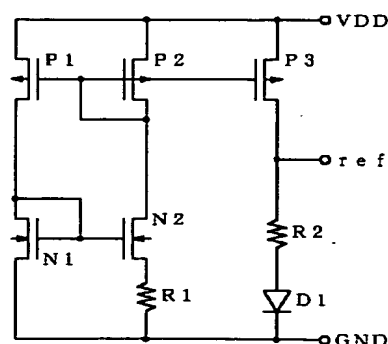
I1 定電流源

ST 起動部

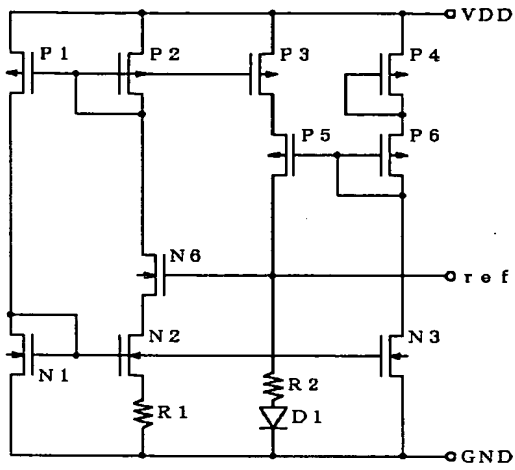
【図1】



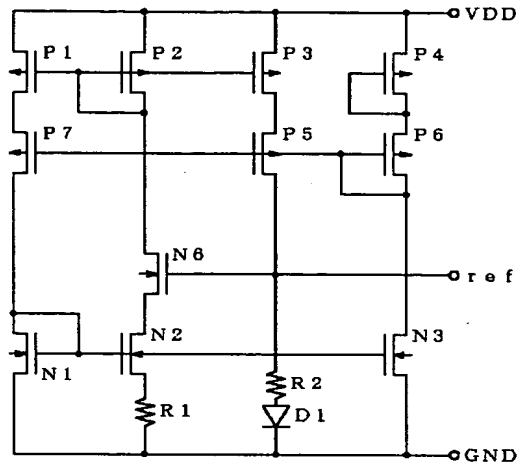
【図7】



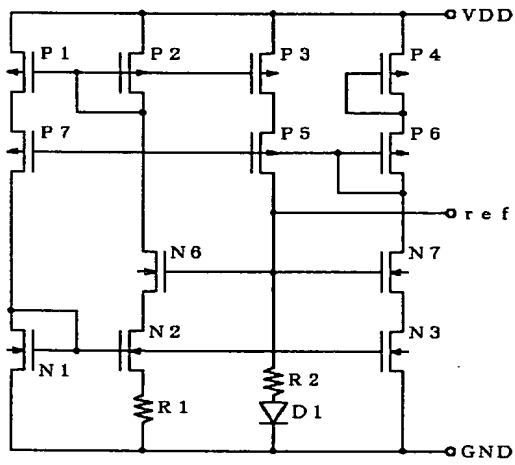
【图2】



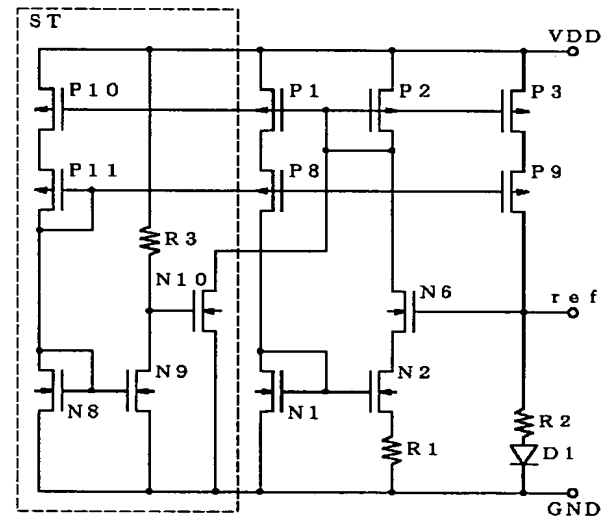
【图3】



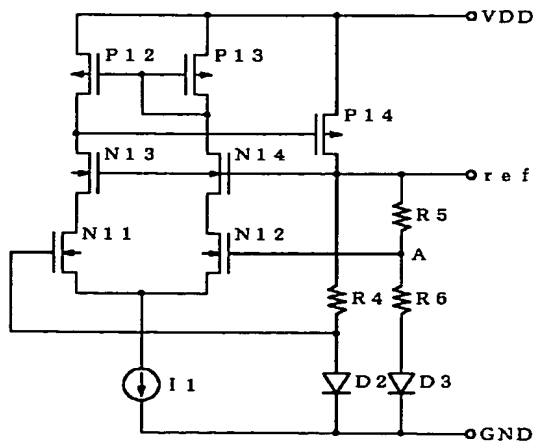
【图4】



【图5】



【图6】



【图8】

